



Международный журнал информационных технологий и  
энергоэффективности

Сайт журнала:

<http://www.openaccessscience.ru/index.php/ijcse/>



УДК 004.94

## ПРИМЕНЕНИЕ СИСТЕМЫ МОДЕЛИРОВАНИЯ DEEDS В ДИСЦИПЛИНАХ «МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ» И «СХЕМОТЕХНИКА ЭВМ»

Певченко С.И.

ФГБОУ ВО Национальный исследовательский институт «Московский энергетический институт», Россия, (111250, г. Москва, ул. Красноказарменная, 14), e-mail: pevserg@yandex.ru

Статья посвящена вопросу верификации курсовых проектов студентов по дисциплине «Микропроцессорные системы». Отмечается целесообразность использования для непрофильных ВУЗов простой в установке и изучении свободно распространяемой учебной системы цифрового моделирования Deeds, состав пользовательских блоков которой дополнен автором типовыми блоками микропроцессорных систем (МПС).

Ключевые слова: учебная система моделирования Deeds, проектирование микропроцессорных систем (МПС), верификация курсовых проектов МПС.

## APPLICATION OF THE MODELING SYSTEM DEEDS IN DISCIPLINES «MICROPROCESSOR SYSTEMS» AND «CIRCUIT ENGINEERING OF A COMPUTER»

Pevchenko S.I.

Federal State Educational Institution of Higher Education National Research University «Moscow Power Engineering Institute», Russia, (111250, Moscow, street Krasnokazarmennaya, 14), e-mail: pevserg@yandex.ru

The paper is devoted to an issue of verification coursework's students project on discipline «Microprocessor systems». The expediency of use for non-core higher educational institute idle time in installation and studying of freely distributed educational system of digital modeling Deeds which structure of the user blocks is complemented with the author standard blocks of microprocessor systems (MPS) is noted.

Key words: educational modeling system Deeds, designing microprocessor system (MPS), verification of microprocessor system course project.

В сравнении с профильными ВУЗами типа МИЭТ, МИЭМ, МИФИ, глубоко изучающими вопросы проектирования МПС и микропроцессоров (МП), в непрофильных ВУЗах типа МЭИ обычно ограничиваются вопросами построения МПС на базе стандартного МП типа i8080 с реализацией управляющей программы на ассемблерном языке и использовании в качестве внешних устройств типовых блоков: память, АЦП, ЦАП, контроллеры прерываний, клавиатуры и т.п.

Типовые задания курсового проектирования на кафедре ВМСС МЭИ предполагают разработку структурной и принципиальной электрических схем МПС и управляющей программы с оформлением по ЕСКД и ЕСПД соответственно. Однако верификация проектов моделированием заданием не предусматривается, что резко снижает качество защищаемых проектов. Применение систем моделирования, подобных Deeds, позволяет преодолеть этот недостаток.

Система моделирования Deeds, разработанная в Генуэзском Университете [2,4], предназначена для обучения проектированию цифровых систем и свободно распространяется разработчиками [5].

Система состоит из трех взаимосвязанных компонентов:

- Deeds-DcS (Digital Circuit Simulator) — подсистема моделирования цифровых схем. Ее основные достоинства и недостатки представлены в таблице 1.
- Deeds-FsM (Finite State Machine Simulator) — подсистема моделирования конечных автоматов.
- Deeds-McE (Micro Computer Emulator) — подсистема моделирования микро-ЭВМ семейства i8080.

Таблица 1 – Достоинства и недостатки подсистемы моделирования цифровых схем

Достоинства	Недостатки
Множество описаний лабораторных работ по изучению типовых узлов, автоматов и МПС на сайте разработчика системы [5] и методические пособия на кафедре ВМСС	Отсутствует иерархия вложенности пользовательских блоков произвольной глубины
Применение системы Deeds в курсах «Микропроцессорные системы», «Схемотехника ЭВМ» и «Теория автоматов»	Нельзя задать индивидуальные задержки базовых (библиотечных) элементов
Простота пользовательского интерфейса и схемного редактора	Отсутствие русифицированной версии
Поддержка четырехзначного алфавита моделирования (0, 1, X, Z), позволяющего описывать связи типа общая шина	Отсутствие библиотек микросхем промышленных серий
Поддержка создания пользовательских блоков из стандартного набора блоков системы Deeds	
Получение текстового описания схем на языке VHDL [3] из их графического описания	
Два режима моделирования: интерактивный «симулятор» (режим наглядной анимации) и временное моделирование (получение временных диаграмм)	
Реализация физического эксперимента на отладочных платах с ПЛИС при условии использования средств САПР ПЛИС фирмы Altera	

Подсистема цифрового моделирования схем поддерживает два режима моделирования работы схемы.

- Интерактивный симулятор («Анимация»).
- Временное моделирование схемы.

В режиме «анимации» воспроизводится по тактам поведение схемы. Таким образом, можно визуально отслеживать изменение цвета индикаторов сигналов, в том числе и внутренних сигналов пользовательского блока, для чего достаточно в этом режиме нажать на соответствующий блок, предварительно установив в нем контрольные точки (TEST POINT).

Результатом временного моделирования схемы являются временные диаграммы входных и выходных сигналов. Также можно видеть и внутренние сигналы пользовательского блока. При этом имеется возможность выбора конкретного списка наблюдаемых сигналов. Внутренние сигналы пользовательского блока скрыты по умолчанию.

При разработке графических представлений проектируемых схем пользователь использует схемный редактор. В качестве базовых компонентов в библиотеке подсистемы цифрового моделирования схем следует отметить несколько основных групп.

- **Входные переключатели** - группа элементов, предназначенная для подачи входных сигналов на этапе анимационного и временного моделирования. Существуют элементы с шинными выходами (bus) и скалярными.
- **Индикаторы выходных сигналов** – группа элементов, предназначенная для отслеживания состояния внутренних сигналов (контрольных точек) и выходов моделируемой схемы. Существуют элементы с шинными входами (bus) и скалярными.
- **Межкомпонентные соединения (шины и провода)** - группа элементов-соединителей: провода, шины, шинные разветвители (bus splitter) и ответвители (bus tap) для установления логических связей между компонентами схемы.

**Элементный базис системы Deeds** состоит из:

1) *Комбинационных логических блоков.* Они могут быть, как простыми логическими элементами (вентили И, ИЛИ и т.п.), так и более сложными (декодеры, мультиплексоры, сумматоры, АЛУ и т.д.). Задержка вентиля около 4 нс, комбинационных узлов 8-10 нс.

2) *Запоминающих логических блоков* (триггеры, регистры, счетчики, таймеры). Задержки триггеров около 8 нс, регистров 10 нс.

Триггеры подсистемы моделирования цифровых схем различаются по:

- Логике функционирования (например RS, D и JK).
- Способу приема и выдачи информации (асинхронные, синхронные, по уровню, по фронту/спаду).

Регистры подсистемы моделирования цифровых схем подразделяются на:

- Регистры с параллельным входом и выходом (P.I.P.O).
- Регистры с параллельным входом и последовательным выходом (P.I.S.O).
- Регистры с последовательным входом и параллельным выходом (S.I.P.O).
- Универсальные регистры.

Счетчики – узлы, на выходах которых получается двоичный код, определяемый числом поступивших импульсов.

Таймеры – узлы, подающие сигнал через заданный временной интервал.

3) *Микросхемы памяти ПЗУ (ROM) и ОЗУ (RAM).* Блоки ОЗУ делятся на синхронные и асинхронные. Задержки блоков памяти примерно равна 20 нс.

4) *Устройства вывода аналогового сигнала (ЦАП).*

5) *Микроконтроллер (МК) DMC8, существующий в двух модификации: DMC8 Basic и DMC8 Enhanced.* Основные отличия этих модификаций в системе команд (Zilog Z80 и Intel 8080), количестве входных и выходных портов, а также системе прерывания.

**Подсистема моделирования микро-ЭВМ** применяется для разработки и отладки программного обеспечения МПС на базе двух модификаций МК DMC8. В этой подсистеме применяется низкоуровневый язык программирования – ассемблер.

В отладчике (см. рисунок 1) можно пройти код в пошаговом режиме (Step), режиме анимации (Animate) и в реальном режиме работы программы (Run), а так же задавать скорость анимации.

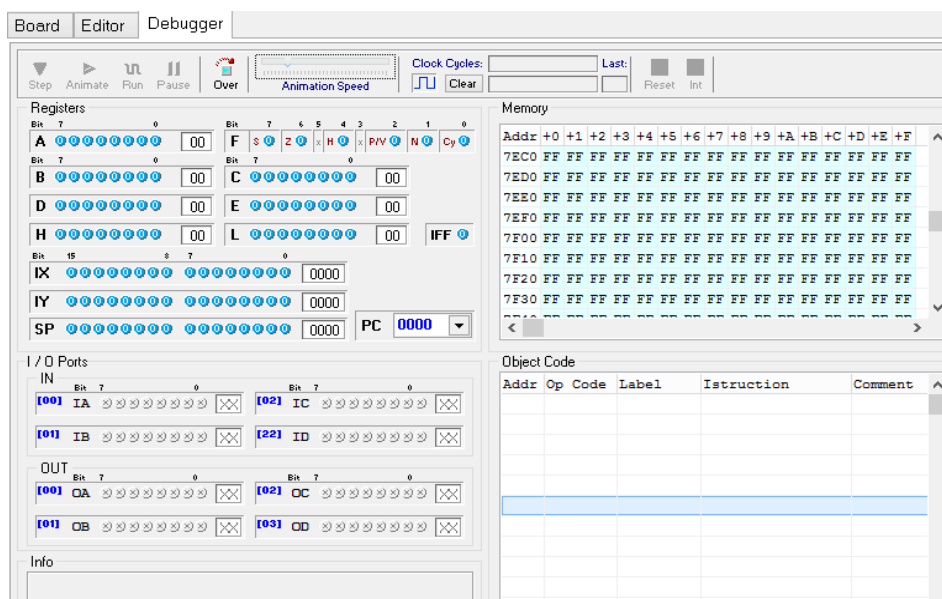


Рисунок 1 – Окно отладчика подсистемы моделирования микроэвм

Кроме того, в нем показывается содержимое регистров, ОЗУ, значение ячеек которого можно изменять в пошаговом и анимационном режимах во время отладки программы и содержимое ПЗУ, которое изменяется только при компиляции кода.

#### **Физические эксперименты на отладочных платах.**

Ранее отмечалось, что система моделирования Deeds поддерживает стыковку с САПР ПЛИС фирмы Altera Quartus II, позволяя выполнять тестирование разработанной пользователем схемы на основных отладочных платах ПЛИС этой фирмы.

Для запуска этого процесса на главной панели схемного редактора необходимо нажать на пиктограмму Test on FPGA. В открывшемся окне (см. рисунок 2) выбирается из списка название отладочной платы, после чего назначаются входные и выходные шинные и скалярные сигналы схемы на кнопки, переключатели и индикаторы выбранной отладочной платы.

Для завершения этапа конфигурирования отладочной платы запускаем процесс создания файла программирования ПЛИС (Generate Project). В результате сформируется папка с проектом, в которой будет храниться прошивка ПЛИС, которую по кабелю можно переслать из персонального компьютера в плату.

**Процесс разработки МПС с использованием средств системы моделирования Deeds** можно разделить на обязательную и второстепенную части. Они в свою очередь делятся на несколько этапов (см. рисунок 3).

1) *На первом этапе* разрабатываются структурная и функциональная схемы МПС в соответствии со спецификацией типового задания на курсовой проект с использованием основных блоков моделей цифровых устройств, разработанных на кафедре ВМСС.

2) *На втором этапе* разрабатывается программное обеспечение для МПС, производится его отладка в подсистеме моделирования микроэвм и ввод в МК DMC8.

3) *На третьем этапе* выполняется верификация всего проекта МПС в режиме временного моделирования с целью определения её работоспособности. Режим анимации можно использовать как для тестирования проекта, так и для наглядной демонстрации.

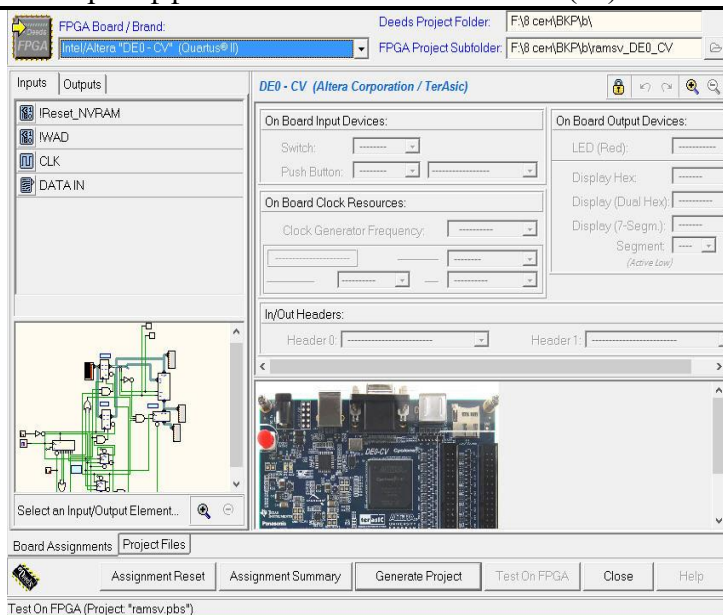


Рисунок 2 – Окно подготовки теста на отладочной плате (Test on FPGA)

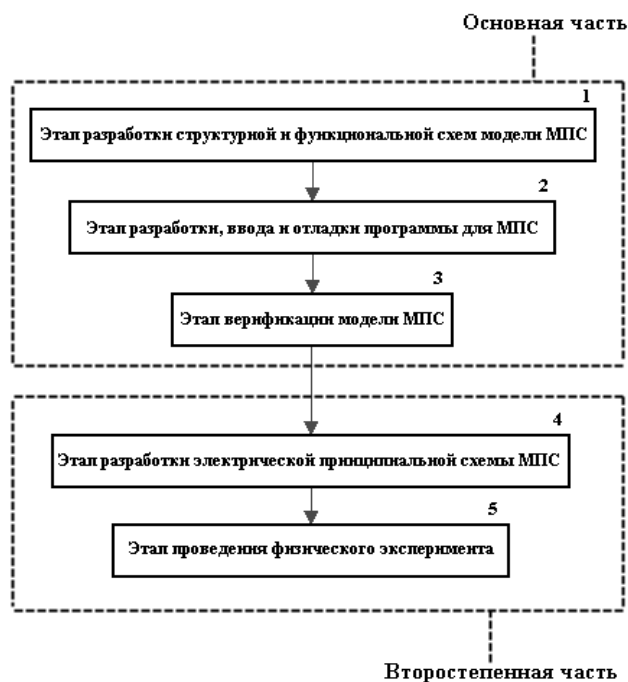


Рисунок 3 – Алгоритм процесса разработки МПС

Четвертый и пятый этапы являются не обязательными.

4) На четвертом этапе на основе модели МПС проектируется принципиальная схема МПС с использованием библиотеки микросхем промышленной серии.

5) На пятом этапе для выбранной отладочной платы ПЛИС фирмы Altera полученная прошивка загружается средствами САПР этой фирмы (Quartus II).

**Пример разработанной МПС** с помощью средств системы моделирования Deeds представлен на см. рисунок 4).

В ней используются блоки моделей ведущего и ведомого устройств интерфейса SPI, блоки внешней памяти, системы таймеров, ЦАП и т.д. Она может принимать информацию об объекте управления от различных датчиков, вырабатывать управляющее воздействие в

соответствии с программой управления, заложенной в МК, а также получать сигналы прерывания от различных источников, к примеру: датчика напряжения питания, клавиш клавиатуры, датчика аварийной сигнализации и т.д.

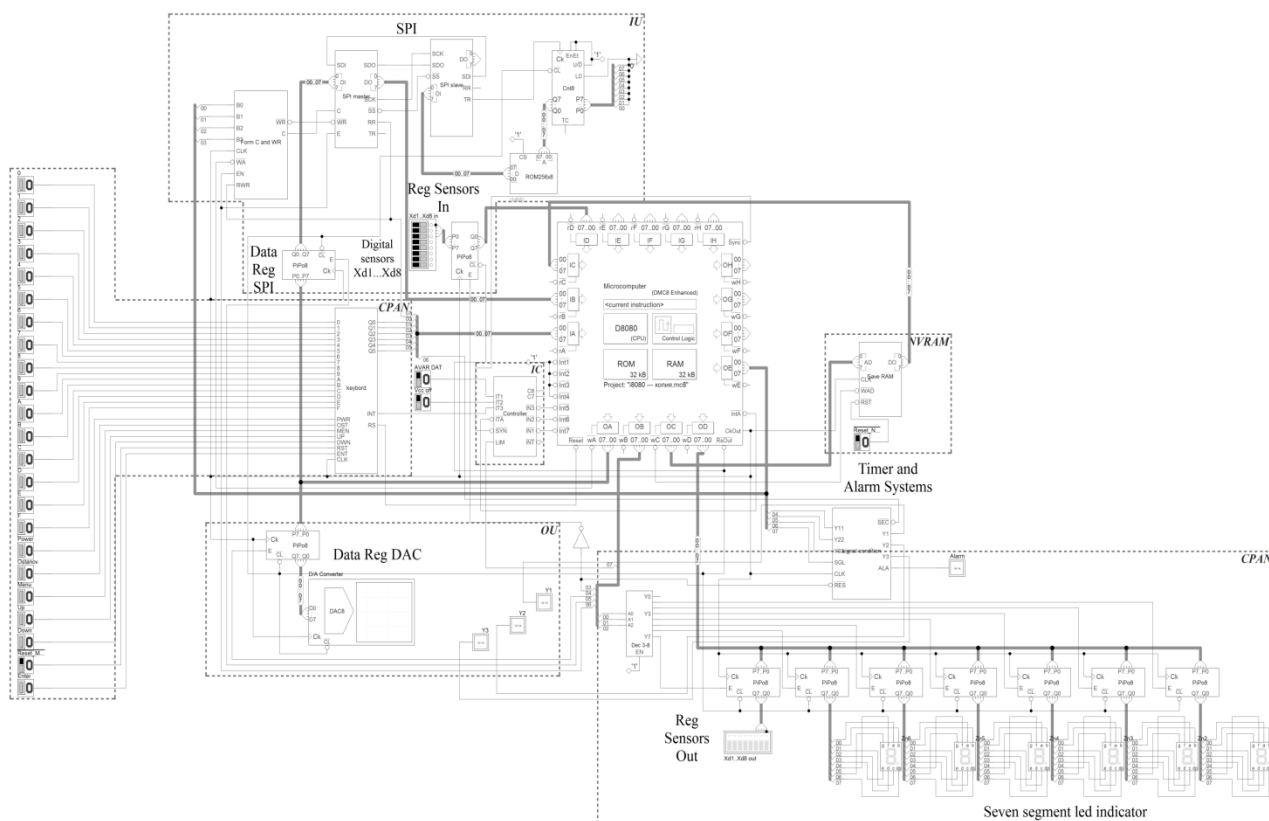


Рисунок 4 – Пример функциональной схемы МПС на базе МК DMC8 Enhanced

В качестве некоторых характеристики подобных систем можно выделить:

- Общее количество используемых блоков примерно равное 6, а суммарное число компонентов в блоках — около 135.
- Число ассемблерных инструкций (строк кода) программы управления — около 630.
- Количество используемых меток в программе — около 140.
- Объем программы управления, занимаемый в памяти ПЗУ — около 1400 байт.
- Время прогона одного цикла программы управления при временном моделировании — около 12-13 минут.

**В настоящее время система моделирования Deeds** используется экспериментально на кафедре ВМСС «НИУ «МЭИ» в рамках нескольких курсов:

- микропроцессорные системы — производится верификация курсовых проектов на базе МП с системой команд типа i8080;
- схемотехника ЭВМ – обучения основам цифровой схемотехники. Выполнение лабораторных работ по комбинационным и последовательным узлам.
- современные методы проектирования цифровых схем — обучение магистров, поступающих в «МЭИ» из других ВУЗов, где у них отсутствовал курс «Схемотехника ЭВМ».

Для упрощения реализации моделей курсовых проектов МПС на кафедре ВМСС созданы пользовательские блоки типовых последовательных интерфейсов (I2C, SPI, RS—232), контроллеры прерываний и клавиатуры, блок внешней памяти, система таймеров, а также библиотека интегральных микросхем промышленных серий KP1533 и KP1531 [1]. С их

помощью упрощается проектирование и верификация индивидуальных курсовых проектов МПС.

Таким образом, благодаря учебным средствам, подобным системе моделирования Deeds, реализуется возможность обучения студентов непрофильных ВУЗов основам цифровой схемотехники, моделирования и проектирования МПС.

### Список литературы

1. Петровский И.И. и др. Логические ИС КР1533, КР1554. Справочник. В двух частях. — М.: Бином, 1993. — часть 1 — 254 с., часть 2 — 497 с.
2. Поляков А.К.. DEEDS — УЧЕБНАЯ СИСТЕМА МОДЕЛИРОВАНИЯ И ПРОЕКТИРОВАНИЯ ЦИФРОВОЙ АППАРАТУРЫ. Журнал. Современная Электроника №1. г. 2018, с.94-96.
3. Поляков А.К.. Языки VHDL и VERILOG в проектировании цифровой аппаратуры на ПЛИС: учебное пособие. — М.: Издательский дом МЭИ, 2012. — 220с.
4. Giuliano Donzellini, Domenico Ponta: Deeds — User Manual. : University of Genoa, 2004. — 121 с.
5. Giuliano Donzellini, Domenico Ponta. Официальный сайт программного обеспечения системы моделирования Deeds. [Электронный ресурс]. URL: <https://www.digitalelectronicsdeeds.com>, (дата обращения 01.04.2019)

### References

1. Petrovskij I.I. and others. Logical IC KR1533, KR1554. Reference book. In two part. – М.: Binom, 1993 – part 1 – 254 p., part 2 – 497 с. (in Russia).
  2. Poliakov A.K., Educational modeling and designing system of a digital equipment. Journal. Modern Electronics №1., г.2018. с.94-96. (in Russia).
  3. Poliakov A.K. VHDL and VERILOG languages in a design of digital devices on the FPGA: training manual. – М.: Publish. House MPEI, 2012. – 220p. (in Russian)
  4. Giuliano Donzellini, Domenico Ponta: Deeds — User Manual. : University of Genoa, 2004. — 121 с.
  5. Giuliano Donzellini, Domenico Ponta. Official site of the software of the modeling system Deeds. [Electronic resource]. URL: <https://www.digitalelectronicsdeeds.com>, (access date 01.04.2019).
-