



Международный журнал информационных технологий и энергоэффективности

Сайт журнала:

<http://www.openaccessscience.ru/index.php/ijcse/>



УДК 004.23

АРХИТЕКТУРА RISC-V

Полежаева М.В., Кенжина Д.С., ¹Нерпин Е.С., Сафонова Т.В., ²Мокряк А.В.

ФГБОУ ВО "РОССИЙСКИЙ ГОСУДАРСТВЕННЫЙ ГИДРОМЕТЕОРОЛОГИЧЕСКИЙ УНИВЕРСИТЕТ" Санкт-Петербург, Россия (192007, город Санкт-Петербург, Воронежская ул., д. 79) e-mail: ¹nerpin.evgeniy@gmail.com

²ФГБОУ ВО "САНКТ-ПЕТЕРБУРГСКИЙ УНИВЕРСИТЕТ ГОСУДАРСТВЕННОЙ ПРОТИВОПОЖАРНОЙ СЛУЖБЫ МИНИСТЕРСТВА РОССИЙСКОЙ ФЕДЕРАЦИИ ПО ДЕЛАМ ГРАЖДАНСКОЙ ОБОРОНЫ, ЧРЕЗВЫЧАЙНЫМ СИТУАЦИЯМ И ЛИКВИДАЦИИ ПОСЛЕДСТВИЙ СТИХИЙНЫХ БЕДСТВИЙ ИМЕНИ ГЕРОЯ РОССИЙСКОЙ ФЕДЕРАЦИИ ГЕНЕРАЛА АРМИИ Е.Н.ЗИНИЧЕВА", Санкт-Петербург, Россия (196105, г. Санкт-Петербург, Московский проспект, д.149), e-mail: mokryakanna@mail.ru

RISC-V (сокращение от Reduced Instruction Set Computing - V) - это открытая, модульная архитектура процессоров, которая стала одним из наиболее популярных и широко используемых стандартов в современной компьютерной технологии. Разработанная в Университете Беркли в Калифорнии, архитектура RISC-V ставит целью предоставить простую, эффективную и гибкую архитектуру процессора, которая может быть использована в широком спектре устройств от мобильных телефонов до серверов и специализированных систем. В статье рассматриваются ключевые особенности и преимущества архитектуры RISC-V. Обсуждается ее гибкая и расширяемая структура, позволяющая адаптировать процессоры RISC-V для широкого спектра приложений - от встраиваемых систем до высокопроизводительных вычислений.

Ключевые слова: RISC-V, открытая архитектура процессоров, открытый доступ, компьютерные чипы, встраиваемые системы, высокопроизводительные вычисления, экосистема RISC-V, снижение затрат, повышение инноваций.

RISC-V ARCHITECTURE

Polezhaeva M.V., Kenzhina D.S., ¹Nerpin E.S., Safonova T.V., ²Mokryak A.V.

RUSSIAN STATE HYDROMETEOROLOGICAL UNIVERSITY, St. Petersburg, Russia (192007, St. Petersburg, Voronezhskaya str., 79), e-mail: ¹nerpin.evgeniy@gmail.com

²ST. PETERSBURG UNIVERSITY OF THE STATE FIRE SERVICE OF THE MINISTRY OF THE RUSSIAN FEDERATION FOR CIVIL DEFENSE, EMERGENCIES AND ELIMINATION OF CONSEQUENCES OF NATURAL DISASTERS NAMED AFTER THE HERO OF THE RUSSIAN FEDERATION, GENERAL OF THE ARMY E.N. ZINICHEV, St. Petersburg, Russia (196105, St. Petersburg, Moskovsky prospekt, 149), e-mail: ¹mokryakanna@mail.ru

RISC-V (short for Reduced Instruction Set Computing - V) is an open, modular processor architecture that has become one of the most popular and widely used standards in modern computer technology. Developed at the University of Berkeley in California, the RISC-V architecture aims to provide a simple, efficient and flexible processor architecture that can be used in a wide range of devices from mobile phones to servers and specialised systems. This article discusses the key features and advantages of the RISC-V architecture. Its flexible and extensible structure is discussed, allowing RISC-V processors to be customised for a wide range of applications from embedded systems to high-performance computing.

Keywords: RISC-V, open processor architecture, open access, computer chips, embedded systems, high performance computing, RISC-V ecosystem, cost reduction, innovation enhancement.

Введение

В последние годы архитектура RISC-V привлекает все больше внимания в области вычислительной техники. RISC-V представляет собой открытый набор инструкций для проектирования компьютерных чипов, доступный для свободного использования без необходимости платить лицензионные отчисления. В отличие от традиционных проприетарных архитектур процессоров, RISC-V предлагает уникальный подход, основанный на принципах открытости и масштабируемости.

Эта революционная архитектура предоставляет разработчикам больше свободы и гибкости в создании процессорных систем, адаптированных под конкретные потребности. Благодаря своей модульной структуре и расширяемости, RISC-V может применяться в широком спектре приложений - от встраиваемых систем до высокопроизводительных вычислений. Растущая экосистема RISC-V, включающая множество компаний, исследовательских групп и энтузиастов, способствует быстрому развитию этой архитектуры и открывает новые возможности для инноваций.

Данная статья исследует ключевые особенности и преимущества RISC-V, анализирует факторы, стоящие за ее растущей популярностью, а также рассматривает перспективы влияния этой открытой архитектуры на индустрию полупроводников и вычислительные технологии в целом.

Основы архитектуры RISC-V

RISC-V — это открытая, опенсорсная архитектура набора команд (ISA), которая основана на концепции компьютера с сокращенным набором команд (RISC). Архитектура ISA представляет собой абстрактную модель компьютера, определяющую базовый набор инструкций - фундаментальных операций с описанием их применения. Эти инструкции служат связующим звеном между аппаратным обеспечением и программным обеспечением.

В отличие от закрытых, проприетарных архитектур, RISC-V включает в себя 47 базовых инструкций, к которым можно свободно добавлять дополнительные расширения. Такая открытая, модульная структура позволяет разработчикам адаптировать и масштабировать RISC-V для реализации широкого спектра вычислительных приложений - от встраиваемых систем до высокопроизводительных решений.

Открытый характер RISC-V и возможность свободного использования без лицензионных отчислений делают эту архитектуру привлекательной для разработчиков, исследовательских групп и компаний, стремящихся к инновациям и сокращению затрат. Растущая экосистема RISC-V способствует дальнейшему развитию и распространению этой открытой архитектуры набора команд [1].

Основная цель RISC-V – предложить гибкую, расширяемую и свободную от лицензионных ограничений платформу для проектирования процессорных систем, стимулируя тем самым инновации и развитие открытых вычислительных технологий.

История создания архитектуры RISC-V

Идея RISC-V появилась в 2010 году в Калифорнийском университете Беркли в США, где ученые, включая Дэвида Паттерсона, исследовали концепцию RISC. В отличие от

академических проектов, ориентированных на образование, RISC-V изначально разрабатывался для широкого применения в вычислительных системах.

В 2015 году был создан международный фонд RISC-V и ассоциация со штаб-квартирой в Швейцарии, чтобы развивать, стандартизировать и продвигать RISC-V. В 2018 году фонд RISC-V начал партнерство с The Linux Foundation.

Фонд RISC-V включает представителей компаний из разных стран, в том числе двух российских разработчиков процессорных ядер (Syntacore и CloudBEAR) и двух разработчиков системного ПО (Альт Линукс и Астра Линукс).

В 2022 году компания Intel инвестировала 1 миллиард долларов в развитие RISC-V и вошла в руководство фонда. Также в 2022 году в России был образован Альянс RISC-V. По состоянию на конец 2022 года, 13 из 25 мест в совете директоров RISC-V занимают китайские компании и организации, с ведущей ролью Китайской академии наук [2].

Преимущества и недостатки архитектуры RISC-V

Преимущества архитектуры RISC-V:

- Простота и доступность для изучения

RISC-V представляет собой небольшой и простой в изучении набор команд RISC-архитектуры, что делает его привлекательным для тех, кто интересуется получением знаний о микропроцессорах.

- Возможности для высокопроизводительных реализаций

Продуманная структура RISC-V позволяет разработчикам процессоров создавать высокопроизводительные микропроцессоры на основе этой ISA.

- Доступность для любителей

Благодаря отсутствию лицензионных отчислений и ориентации на простую аппаратную реализацию, даже увлеченный любитель может за приемлемое время разработать собственную конструкцию процессора на базе RISC-V [3].

- Открытость экосистемы

RISC-V обладает открытой и инклюзивной экосистемой, в которую входят представители компаний и организаций из разных стран, включая российских разработчиков процессорных ядер и системного ПО [4].

Недостатки архитектуры RISC-V:

- Недостаток зрелости экосистемы

RISC-V, будучи относительно новой архитектурой, пока не достигла уровня зрелости и комплексности экосистемы, доступной для более устоявшихся архитектур, таких как x86 или ARM.

- Фрагментация и несогласованность

Открытая природа RISC-V может привести к фрагментации и несогласованности между различными реализациями, что может усложнить разработку совместимого программного обеспечения.

- Безопасность и доверие

Поскольку RISC-V является открытой архитектурой, могут возникать вопросы относительно безопасности и доверия к ней, особенно в критически важных приложениях.

Архитектура RISC-V

- Базовые расширения:

RV32I - 32-битный базовый набор команд RISC-V;

RV64I - 64-битный базовый набор команд RISC-V.

Базовые расширения определяют минимальный набор инструкций, обязательный для всех реализаций RISC-V.

- Дополнительные необязательные расширения:

M - расширение для операций с целыми числами (умножение, деление);

A - расширение для атомарных операций в памяти;

F - расширение для операций с плавающей запятой одинарной точности;

D - расширение для операций с плавающей запятой двойной точности;

C - расширение для сжатых (16-битных) инструкций;

Другие расширения: векторные вычисления, криптография, машинное обучение и др.

[5].

- 1) Механизмы обработки исключений и прерываний

RISC-V определяет единый механизм обработки исключений и прерываний. Исключения обрабатываются процессором и могут быть вызваны ошибками в программе или событиями аппаратного обеспечения. Прерывания позволяют асинхронно обрабатывать внешние события, такие как таймеры, ввод-вывод и др. Архитектура предоставляет расширяемые механизмы для гибкой обработки исключений и прерываний.

- 2) Регистры и конвейер

RISC-V использует 32 общих регистра общего назначения (x0-x31)

Регистр x0 является постоянным нулем и используется для специальных целей.

Архитектура предполагает наличие многоступенчатого конвейера для повышения производительности [6].

- 3) Память и ввод-вывод

RISC-V определяет унифицированное адресное пространство для памяти и ввода-вывода. Доступ к памяти и устройствам ввода-вывода осуществляется через загрузку/сохранение.

Применение и использование архитектуры RISC-V

Область применения:

- Встроенные системы и Интернет вещей (Низкое энергопотребление, простота реализации и гибкость RISC-V идеально подходят для встроенных устройств).
- Центры обработки данных и высокопроизводительные вычисления (масштабируемость RISC-V позволяет использовать ее в мощных серверных процессорах).
- Мобильные и потребительские устройства (RISC-V может использоваться в ноутбуках, смартфонах и другой потребительской электронике).
- Системы искусственного интеллекта и машинного обучения (расширяемость RISC-V позволяет оптимизировать ее для задач ИИ и машинного обучения) [7, 8].

Примеры существующих и разрабатываемых решений на базе RISC-V:

- SiFive - одна из первых компаний, предлагающих ядра RISC-V для различных применений;
- NVIDIA использует RISC-V в своих системах-на-кристалле Tegra;

- Huawei разрабатывает собственные RISC-V процессоры для мобильных устройств;
- В области высокопроизводительных вычислений ведутся работы над проектами RISC-V, такими как SweRV и SHAKTI;
- Множество стартапов и энтузиастов разрабатывают уникальные RISC-V решения [9].

Перспективы дальнейшего развития и расширения использования

Ожидается дальнейшее расширение экосистемы RISC-V, включая более широкий набор IP-блоков, инструментов и операционных систем. RISC-V имеет большой потенциал для использования в областях, где требуются низкая стоимость, энергоэффективность и гибкость. По мере роста зрелости RISC-V и расширения ее возможностей, ожидается увеличение доли рынка, занимаемой этой архитектурой [10].

Выводы

RISC-V представляет собой новаторскую и многообещающую архитектуру открытого ISA, которая уже привлекает внимание широкого круга разработчиков, от энтузиастов до крупных технологических компаний. Ключевые принципы RISC-V, такие как простота, модульность, открытость и ориентация на эффективную аппаратную реализацию, определяют ее основные преимущества.

Возможность гибкого расширения базового набора команд под различные требования приложений делает RISC-V универсальной и масштабируемой. Она успешно применяется в широком спектре областей - от встроенных систем и Интернета вещей до высокопроизводительных вычислений и систем искусственного интеллекта.

По мере развития экосистемы RISC-V, включая рост доступных IP-блоков, инструментов разработки и операционных систем, ожидается дальнейшее расширение областей применения этой архитектуры. Открытость, гибкость и перспективы RISC-V способствуют ее активному внедрению в качестве альтернативы традиционным проприетарным ISA, особенно в тех случаях, где требуются низкая стоимость, энергоэффективность и возможность адаптации под конкретные задачи.

Таким образом, RISC-V является важной вехой в развитии вычислительных архитектур, предлагая инновационный и перспективный подход, который обещает значительно повлиять на будущее проектирования микропроцессоров и встроенных систем.

Список литературы

1. Что такое RISC-V и когда появится Java-порт? URL: <https://axiomjdk.ru/announcements/2022/05/18/what-is-risc-v-and-when-is-the-java-port-coming/> (Дата обращения: 13.05.2024)
2. RISC-V URL: <https://ru.wikipedia.org/wiki/RISC-V> (Дата обращения: 13.05.2024)
3. Гениальность микропроцессоров RISC-V URL: <https://habr.com/ru/companies/vdsina/articles/534542/> (Дата обращения: 14.05.2024)
4. RISC-V: открытая, гибкая и инновационная процессорная архитектура, ведущая в будущее URL: https://dzen.ru/a/ZTdZR_bDnyTz8PDy (Дата обращения: 14.05.2024)

5. Разъяснения базовых наборов и расширений RISC-V URL: <https://cnx-software.ru/2019/08/28/razyasneniya-bazovyh-naborov-i-rasshirenij-risc-v/> (Дата обращения: 13.05.2024)
6. Исключения и прерывания URL: https://www.rotr.info/electronics/mcu/arm_exception.htm (Дата обращения: 13.05.2024)
7. Почему RISC-V? Лекция Вячеслава Полонского URL: <https://habr.com/ru/companies/samsung/articles/668810/> (Дата обращения: 28.05.2024)
8. Мошуров В.М., Сафонова Т.В., Вершинин А.К., Ясников А.И., Логинов И.С. Область применения агентных платформ Информационные технологии и системы: управление, экономика, транспорт, право. 2023. № 1 (45). С. 46-52.
9. Булгакова А.В., Сафонова Т.В., Диденко А.Ю. Этапы разработки и внедрения нейронной сети в проект Информационные технологии и системы: управление, экономика, транспорт, право. 2023. № 1 (45). С. 87-92.
10. Попов В.Н., Сафонова Т.В., Кутикова В.С. Применение методики составных приложений в области разработки приложений Информационные технологии и системы: управление, экономика, транспорт, право. 2023. № 2 (46). С. 20-24.

References

1. What is RISC-V and when will the Java port appear? URL: <https://axiomjdk.ru/announcements/2022/05/18/what-is-risc-v-and-when-is-the-java-port-coming/> (Date of application: 05/13/2024)
2. RISC-V URL: <https://ru.wikipedia.org/wiki/RISC-V> (Date of application: 05/13/2024)
3. The genius of RISC-V microprocessors URL: <https://habr.com/ru/companies/vdsina/articles/534542/> (Date of request: 05/14/2024)
4. RISC-V: an open, flexible and innovative processor architecture leading to the future URL: https://dzen.ru/a/ZTdZR_bDnyTz8PDy (Date of application: 05/14/2024)
5. Explanations of the basic RISC-V URL sets and extensions: <https://cnx-software.ru/2019/08/28/razyasneniya-bazovyh-naborov-i-rasshirenij-risc-v/> (Date of request: 05/13/2024)
6. URL exceptions and interrupts: https://www.rotr.info/electronics/mcu/arm_exception.htm (Date of application: 05/13/2024)
7. Why RISC-V? Lecture by Vyacheslav Polonsky URL: <https://habr.com/ru/companies/samsung/articles/668810/> (Date of request: 05/28/2024)
8. Moshurov V.M., Safonova T.V., Vershinin A.K., Yasnikov A.I., Loginov I.S. The field of application of agent platforms Information technologies and systems: management, economics, transport, law. 2023. No. 1 (45). pp. 46-52.
9. Bulgakova A.V., Safonova T.V., Didenko A.Yu. Stages of development and implementation of a neural network in the Information technologies and systems project: management, economics, transport, law. 2023. No. 1 (45). pp. 87-92.

10. Popov V.N., Safonova T.V., Kutikova V.S. Application of the methodology of composite applications in the field of application development Information technologies and systems: management, economics, transport, law. 2023. No. 2 (46). pp. 20-24.
-